

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat
(c) 2004 EPO. All rts. reserv.

11046694

Basic Patent (No,Kind,Date): JP 5053127 A2 930305 <No. of Patents: 002>

ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE (English)

Patent Assignee: NIPPON ELECTRIC CO

Author (Inventor): KOBAYASHI KEIZO

IPC: *G02F-001/1343; G02F-001/133; G09F-009/30

JAPIO Reference No: 170360P000033

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 5053127	A2	930305	JP 91236997	A	910823	(BASIC)
JP 2776084	B2	980716	JP 91236997	A	910823	

Priority Data (No,Kind,Date):

JP 91236997 A 910823

DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

04061427 **Image available**

ACTIVE MATRIX LIQUID CRYSTAL DISPLAY DEVICE

PUB. NO.: 05-053127 [JP 5053127 A]
PUBLISHED: March 05, 1993 (19930305)
INVENTOR(s): KOBAYASHI KEIZO
APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP
 (Japan)
APPL. NO.: 03-236997 [JP 91236997]
FILED: August 23, 1991 (19910823)
INTL CLASS: [5] G02F-001/1343; G02F-001/133; G09F-009/30
JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 44.9
 (COMMUNICATION -- Other)
JAPIO KEYWORD: R011 (LIQUID CRYSTALS)
JOURNAL: Section: P, Section No. 1569, Vol. 17, No. 360, Pg. 33, July
 07, 1993 (19930707)

ABSTRACT

PURPOSE: To curtail short circuit and disconnection accidents in a leader wiring part for connecting a signal line and a scanning line, and a connecting pad in an element array part, of a TFT substrate.

CONSTITUTION: A signal line connected to a source and a drain in an element, array part, is formed by using a second layer wiring 4, and a scanning line connected to a gate is formed by using a first layer wiring 2. On the other hand, a connecting pad connected to an external circuit is formed by using a second layer wiring. As for a leader wiring for connecting the signal line and the connecting pad in the element, array pad, that which is formed by using a first layer wiring 2 and that which is formed by using a second layer wiring 4 are placed alternately. In the same way, as for a leader wiring for the scanning line, that which is formed by using a first layer wiring 2 and that which is formed by using a second layer wiring 4 are placed alternately.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-53127

(43) 公開日 平成5年(1993)3月5日

(51) Int. Cl. ⁵	識別記号	F I
G02F 1/1343	9018-2K	
1/133	550	7820-2K
G09F 9/30	338	7926-5G

審査請求 未請求 請求項の数 1 (全4頁)

(21) 出願番号 特願平3-236997

(22) 出願日 平成3年(1991)8月23日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 小林 敬三

東京都港区芝五丁目7番1号 日本電気株

式会社内

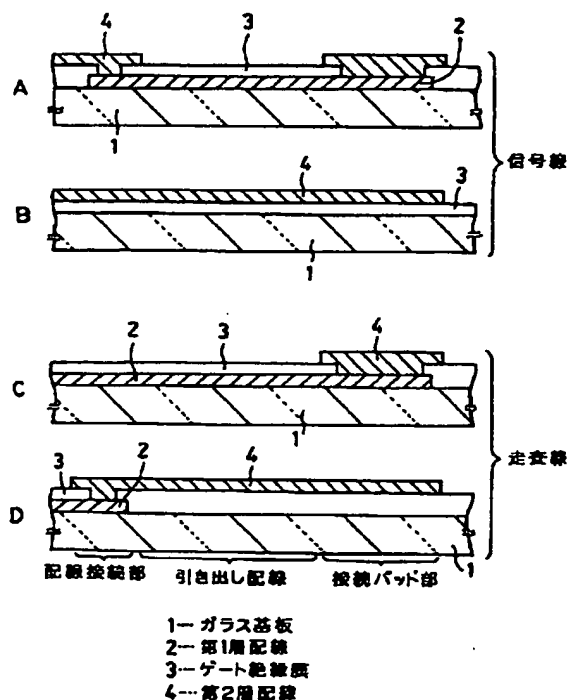
(74) 代理人 弁理士 尾身 祐助

(54) 【発明の名称】 アクティブマトリックス液晶表示装置

(57) 【要約】

【目的】 TFT基板の素子アレイ部の信号線や走査線と接続パッド間を接続する引き出し配線部での短絡・断線事故を削減する。

【構成】 素子アレイ部でソース・ドレインと接続される信号線は第2層配線4を用いて形成され、ゲートと接続される走査線は第1層配線2を用いて形成される。一方、外部回路と接続される接続パッドは第2層配線を用いて形成される。素子アレイ部の信号線と接続パッドとを接続する引き出し配線に関しては、Aに示す第1層配線2を用いて形成したものとBに示す第2層配線4を用いて形成したものとを交互に配置する。同様に走査線の引き出し配線に関しては、Cに示す第1層配線2を用いて形成したものと、Dに示す第2層配線4を用いて形成したものとが交互に配置される。



【特許請求の範囲】

【請求項1】 第1層配線により構成された互いに平行な複数の第1の配線と、
第2層配線により構成された、前記第1の配線とは直交する方向に延びる複数の第2の配線と、
外部回路に接続される接続パッドと、
前記第1の配線および前記第2の配線と前記接続パッドとの間を接続する引き出し配線と、
を具備するアクティブマトリックス液晶表示装置において、
前記第1の配線と接続される引き出し配線と前記第2の配線と接続される引き出し配線のうち少なくとも一方は、第1層配線または第2層配線によって形成されかつ隣接する引き出し配線とは異なる層の配線によって形成されていることを特徴とするアクティブマトリックス液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、アクティブマトリックス液晶表示装置に関し、特に画素電極基板における引き出し配線部での金属配線の構造に関する。

【0002】

【従来の技術】 アクティブマトリックス液晶表示装置は、TFT等の素子が形成されている画素電極基板と、必要に応じてカラーフィルタが形成される共通電極基板とを有する。画素電極基板の素子アレイ部には走査線とこれと直交する信号線とが延在しており、これら各配線は引き出し配線を介して基板周辺部に設けられた接続パッドと接続される。

【0003】 図3は、引き出し配線部の接続状態を示す平面図である。同図において、11は走査線または信号線である素子アレイ部配線、12は配線接続部、13は引き出し配線、14は外部に設けられた駆動回路と接続される接続パッドである。

【0004】 この引き出し配線部付近の従来の各種構造を、断面図にて図4に示す。これらはいずれも逆スタガード型TFTを用いた場合の例であって、第1層配線をゲート電極に接続される走査線として用い、第2層配線をソース・ドレイン電極に接続される信号線として用いている。一方、接続パッドは通常第2層配線を用いて形成される。

【0005】 図4において、1はガラス基板、2は第1層配線、3は、ゲート絶縁膜と同時に形成された絶縁膜（以下、便宜上ゲート絶縁膜と記す）、4は第2層配線である。

【0006】 図4の(a)に示す第1の従来例では、信号線に関しては素子アレイ部の信号線、引き出し配線および接続パッドのすべてが第2層配線により形成され、走査線については素子アレイ部の走査線および引き出し配線とが第1層配線により、また接続パッドが第2層配

線により形成されている。

【0007】 図4の(b)に示す第2の従来例は、上記第1の従来例の接続配線部での断線不良をなくすべく改良を加えたものであって、この従来例では、接続配線部での配線が第1層配線2と第2層配線4との2層構造となっている。

【0008】 図4の(c)に示す第3の従来例は、引き出し配線を成膜およびエッチングが比較的安定して行われる第1層配線を用いて形成することにより断線・短絡不良を削減しようとしたものである。

【0009】

【発明が解決しようとする課題】 上述した従来の引き出し配線構造では、断線・短絡等の不良を発生し易いという問題点があった。これは、引き出し配線が、図3に模式的に示したように斜めの配線を使うため、最小線間隔が狭くなること、引き出し配線の配線長が数mmから数十mm程度と比較的長くなること、引き出し配線部と素子アレイ部とでは下地構造が異なっているため、特にドライ法で配線をバターンニングする際にそれぞれの領域でのエッチング速度が異なり終点の設定が難しいこと等の理由による。

【0010】 即ち、図4の(a)に示す従来例では、信号線、走査線のいずれについても断線・短絡が発生しやすく、また第2の従来例では、断線不良は削減されるが短絡不良が増加する。一方、図4の(c)の例は第1の従来例と基本的に異なるものではないため、第1の従来例と同程度に不良が発生する。

【0011】

【課題を解決するための手段】 本発明のアクティブマトリックス液晶表示装置における画素電極基板では、素子アレイ部での配線と接続パッドとの間を接続する引き出し配線が、第1層配線と第2層配線とを一本おきに交互に用いて構成されている。

【0012】

【実施例】 次に、本発明の実施例について図面を参照して説明する。図1は、本発明の第1の実施例を示す断面図である。本実施例は逆スタガード型TFTを用いた例に関する。

【0013】 Aに示された接続方法では、素子アレイ部の信号線は第1層配線2を用いた引き出し配線を介して接続パッドと接続されている。またBに示された接続方法では、素子アレイ部の信号線は第2層配線4を用いた引き出し配線を介して接続パッドと接続されている。そして、本実施例においてはA、Bに示された引き出し配線が1本おきに交互に配置されている。

【0014】 一方、走査線においては、第1層配線2により形成された素子アレイ部の走査線はCに示すように、第1層配線2による引き出し配線を介して接続パッドと接続され、あるいはDに示すように第2層配線4による引き出し配線を介して接続パッドと接続されてい

る。そして、走査線においても、Cに示すものとDに示すものとは1本おきに交互に配置される。

【0015】信号線および走査線に関して、引き出し配線は第1層配線と第2層配線とが交互に用いられており、隣接する引き出し配線は異なる層内に存在しているため短絡事故の発生は大きく削減される。また、同一面内では引き出し配線間のピッチが従来例の2倍となっているため、配線の線幅を十分に大きく設定することができる。断線事故を激減させることができる。

【0016】なお、本実施例における各配線は、素子アレイ部のTFTを形成する際に同時に形成されるものである。本実施例により工程数が増加することはない。

【0017】図2は本発明の第2の実施例を示す引き出し配線部付近の断面図である。本実施例はTFTが順スタガード型である場合に関する。順スタガード型のTFTでは、ソース・ドレイン電極に接続される信号線が第1層配線を用いて形成され、また、ゲート電極に接続される走査線が第2層配線を用いて形成される。

【0018】本実施例は、TFTが順スタガード型となったことに応じた変更を第1の実施例に加えたものであって、第1の実施例と同様に、信号線に関しては、第1層配線2により形成された引き出し配線（Aに示す）と、第2層配線4により形成された引き出し配線（Bに示す）とが、1本おきに交互に配置され、走査線に関しては、第1層配線2により形成された引き出し配線（Cに示す）と、第2層配線4により形成された引き出し配線（Dに示す）とが、1本おきに交互に配置されている。

【0019】以上の実施例では、信号線および走査線の双方に関して引き出し配線の交互配置を採用していた

が、通常は信号線の方が配線数が多く短絡・断線不良を起こし易い。それゆえ走査線に関しては従来構造とし、信号線のみ交互配置を実施するようにしてもよい。勿論走査線側において不良が発生しやすい場合には走査線に関してのみ交互配置を採用するようにすることができる。また、本発明はTFTを用いたものばかりでなく、他のスイッチング素子を用いた液晶表示装置に対しても適用しうるものである。

【0020】

【発明の効果】以上説明したように、本発明は、液晶表示装置の画素電極基板において、信号線や走査線と接続パッドとの間を接続する引き出し配線を、第1層配線と第2層配線とを交互に用いて形成したものである。本発明によれば、隣接した引き出し配線が同一層内に存在することがなくなり短絡事故が大幅に削減される。

【0021】さらに、引き出し配線のピッチが従来例の2倍となるので、短絡事故が発生しない範囲で配線幅を十分に大きくできる。従って、本発明によれば、引き出し配線の断線事故を激減させることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す画素電極基板の断面図。

【図2】本発明の第2の実施例を示す画素電極基板の断面図。

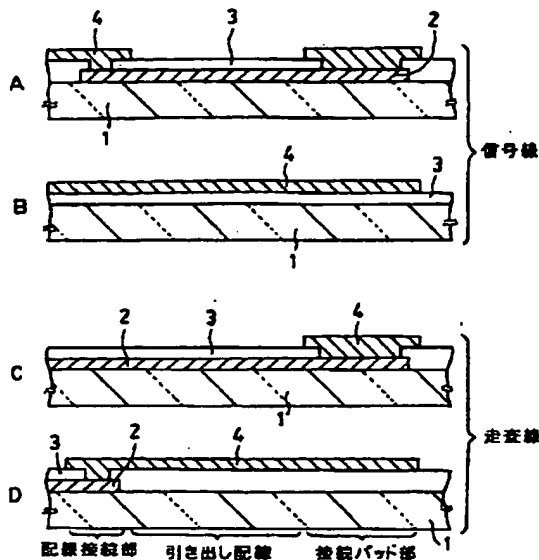
【図3】画素電極基板の引き出し配線部付近のパターンを模式的に示した平面図。

【図4】従来例の画素電極基板の断面図。

【符号の説明】

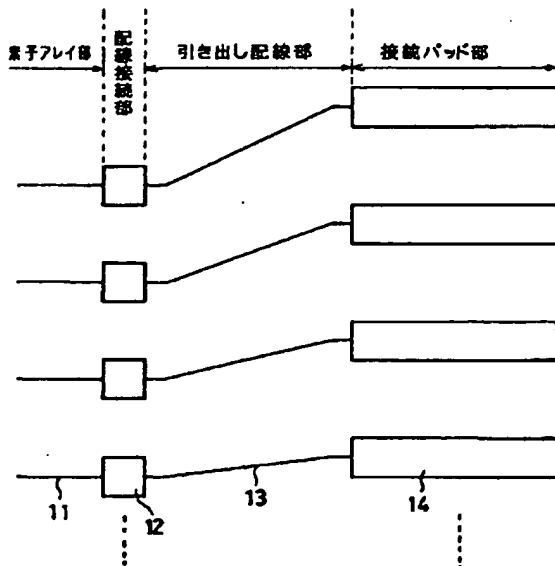
1…ガラス基板、 2…第1層配線、 3…ゲート絶縁膜、 4…第2層配線。

【図1】



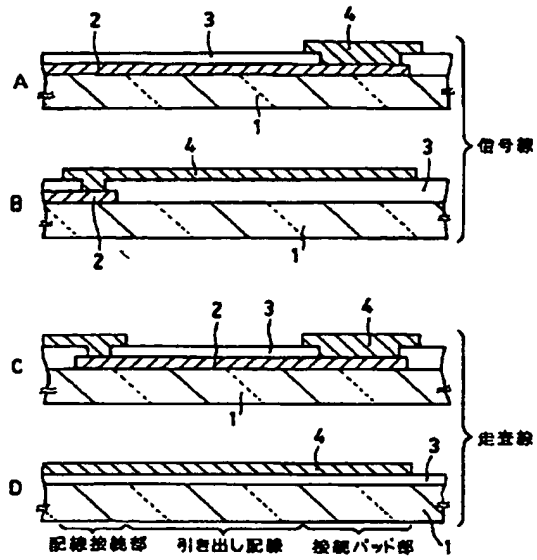
- 1---ガラス基板
- 2---第1層配線
- 3---ゲート絶縁膜
- 4---第2層配線

【図3】

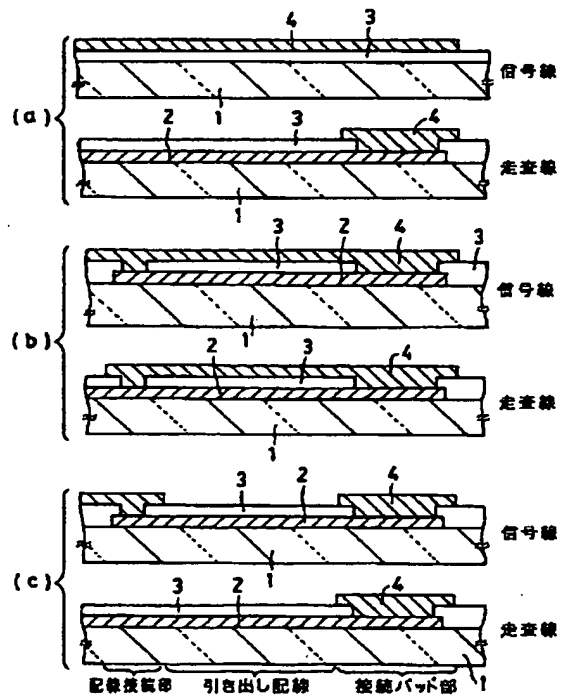


- 11---素子アレイ部配線
- 12---配線接続部
- 13---引き出し配線
- 14---接続パッド

【図2】



【図4】



1 = substrate
2 = 1st wiring
3 = insulation
4 = 2nd wiring